

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月31日

出 願 番 号

Application Number:

特願2002-223377

[ ST.10/C ]:

[ JP2002-223377 ]

出 願 人

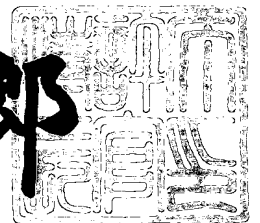
Applicant(s):

ソニー株式会社

2003年 6月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042408

【書類名】 特許願

【整理番号】 0100633102

【提出日】 平成14年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06T 11/00

【発明者】

【住所又は居所】 東京都品川区東五反田 1 丁目 1 4 番 1 0 号 株式会社ソニー木原研究所内

【氏名】 坂本 純一

【発明者】

【住所又は居所】 東京都品川区東五反田 1 丁目 1 4 番 1 0 号 株式会社ソニー木原研究所内

【氏名】 竹内 英樹

【発明者】

【住所又は居所】 東京都品川区東五反田 1 丁目 1 4 番 1 0 号 株式会社ソニー木原研究所内

【氏名】 藤田 純一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クリッピング装置

【特許請求の範囲】

【請求項 1】 所定の座標系で表現される頂点が、描画対象の多次元領域内もしくは領域外にあるか否かを判定するクリッピング装置であって、

上記頂点の座標と上記多次元領域の判定基準値および当該判定基準値の負の値との比較結果に応じたデータをそれぞれビットデータとしてセットしたクリップコードを生成するクリップコード生成回路と、

上記クリップコード生成回路で生成されたクリップコードをシフトインするクリップレジスタと、

上記クリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路と

を有するクリッピング装置。

【請求項 2】 上記頂点の座標は所定の座標系の複数座標軸に対応した値を含み、

上記クリップコード生成回路は、各座標軸に対応した複数のクリップコードを生成し、

上記クリップレジスタは、少なくとも上記複数のクリップコードを保持する容量を有する

請求項 1 記載のクリッピング装置。

【請求項 3】 上記クリップコード生成回路には、上記頂点座標の絶対値から上記判定基準値の絶対値を減算した結果の符号データ、上記頂点座標の符号データ、および上記判定基準値の符号データに基づいて上記クリップコードを生成する

請求項 1 記載のクリッピング装置。

【請求項 4】 上記クリップコード生成回路には、上記頂点座標の絶対値から上記判定基準値の絶対値を減算した結果の符号データ、上記頂点座標の符号データ、および上記判定基準値の符号データに基づいて上記クリップコードを生成

する

請求項 2 記載のクリッピング装置。

【請求項 5】 多面体が複数の頂点を含むプリミティブ単位で描画され、所定の座標系で表現されるプリミティブの各頂点が、描画対象の多次元領域内もしくは領域外にあるか否かを判定するクリッピング装置であって、

上記プリミティブの頂点座標と上記多次元領域の判定基準値および当該判定基準値の負の値との比較結果に応じたデータをそれぞれビットデータとしてセットしたクリップコードをプリミティブの頂点分生成するクリップコード生成回路と

、  
上記クリップコード生成回路で生成されたクリップコードをコントロール信号に応じてシフトインするカレントクリップレジスタと、

上記カレントクリップレジスタの出力に対して縦続接続され、コントロール信号に応じて保持データを前段のレジスタが保持するクリップコードで置換可能な、少なくとも上記プリミティブの頂点数より一つ少ない数のクリップレジスタと

、  
クリップコード生成命令を受けると、上記コントロール信号をカレントクリップレジスタに出力して、上記クリップコード生成回路で生成されたクリップコードをシフトインさせ、置換命令を受けると、上記カレントクリップレジスタを含む隣接のクリップレジスタ間でクリップコードを置換させるように上記コントロール信号を対応するクリップレジスタに出力するコントロール回路と、

上記カレントクリップレジスタを含むクリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路と

を有するクリッピング装置。

【請求項 6】 上記コントロール回路は、プリミティブの種類に応じて頂点処理に伴うクリップコードの置換を行うように上記コントロール信号を対応するクリップレジスタに出力する

請求項 5 記載のクリッピング装置。

【請求項 7】 上記コントロール回路は、置換命令の実行時には、上記プリ

ミティブの頂点分のクリップコードが揃ったことを示す頂点レディフラグを生成する

請求項 5 記載のクリッピング装置。

【請求項 8】 上記コントロール回路は、置換命令の実行時には、上記プリミティブの頂点分のクリップコードが揃ったことを示す頂点レディフラグを生成する

請求項 6 記載のクリッピング装置。

【請求項 9】 上記コントロール回路は、所定の条件で上記カレントクリップレジスタを含む複数のクリップレジスタのうちの所望のレジスタを選択的に初期化する

請求項 5 記載のクリッピング装置。

【請求項 10】 上記コントロール回路は、所定の条件で上記カレントクリップレジスタを含む複数のクリップレジスタのうちの所望のレジスタを選択的に初期化する

請求項 6 記載のクリッピング装置。

【請求項 11】 上記頂点の座標は所定の座標系の複数座標軸に対応した値を含み、

上記クリップコード生成回路は、各座標軸に対応した複数のクリップコードを生成し、

上記クリップレジスタは、少なくとも上記複数のクリップコードを保持する容量を有する

請求項 5 記載のクリッピング装置。

【請求項 12】 上記クリップコード生成回路には、上記頂点座標の絶対値から上記判定基準値の絶対値を減算した結果の符号データ、上記頂点座標の符号データ、および上記判定基準値の符号データに基づいて上記クリップコードを生成する

請求項 5 記載のクリッピング装置。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、コンピュータグラフィックスの描画処理において、所定の座標系で表現されるある頂点および連続する多面体が、描画対象の多次元領域内もしくは領域外にあるか否かを判定するためのクリッピング装置に関するものである。

## 【0 0 0 2】

## 【従来の技術】

3次元コンピュータグラフィックスの処理においては、3次元ワールド座標系を想定し、そこに存在するオブジェクトに対してモデリング変換や視界変換等の処理を行った後、それを2次元デバイスに表示するためにビューポート変換処理を行う。

## 【0 0 0 3】

この際、2次元に投影されるオブジェクトが投影面内に存在するかしないかの判定を行うクリッピング判定処理が必要がある。

より具体的には、オブジェクトはポリゴンとして多角形の集まりによって表現される。このため、この多角形の各頂点座標について、所定の領域において内外判定を行う必要がある。

## 【0 0 0 4】

この領域内外判定は、座標が同次座標として表現されている場合、ある立方体内に存在するかどうかは以下の式を満たすかどうかにより判別できる。

つまり、点P (x, y, z) について、たとえば図1に示すような立方体の中に存在するかどうかを判断する。点Pが領域内に存在する条件は下記のとおりである。

## 【0 0 0 5】

## 【数1】

$$-W \leq x \leq W$$

$$-W \leq y \leq W$$

$$-W \leq z \leq W$$

## 【0 0 0 6】

この条件下において領域外の判定を行うには、各 X, Y, Z 軸に対して 1 頂点につき下記の計 6 回の比較作業を行う必要がある。

【0 0 0 7】

【数 2】

$$X > W$$

$$X < -W$$

$$Y > W$$

$$Y < -W$$

$$Z > W$$

$$Z < -W$$

【0 0 0 8】

座標 X が判定基準値 W より大きいか、座標 X が  $-W$  より小さいか、座標 Y が W より大きいか、座標 Y が  $-W$  より小さいか、座標 Z が W より大きいか、座標 Z が  $-W$  より小さいかの比較処理を行う。そして比較結果が比較条件を満たしている場合に 1、満たしていない場合には 0 とする。

すなわち、クリッピング装置においては、たとえば座標 X および判定基準値 W を入力すると、座標 X が判定基準値 W より大きいか、座標 X が  $-W$  より小さいかの判定を行い、真であれば 1、偽であれば 0 とする。

これにより、クリッピング装置は、1 であった場合は領域外という判定が可能である。

【0 0 0 9】

【発明が解決しようとする課題】

ところが、上述したクリッピング装置においては、領域外の判定を行うには、各 X, Y, Z 軸に対して 1 頂点につき計 6 回の比較作業を行う必要があることから、処理サイクル数が増大する。

その結果、従来のクリッピング装置では、さらなる処理の高速化が困難で、また、このクリッピング操作専用回路が複雑化するという不利益がある。

【0 0 1 0】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、処理サイクル数を削減でき、回路の簡単化を図れ、かつ処理の高速化を図れるクリッピング装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の観点は、所定の座標系で表現される頂点が、描画対象の多次元領域内もしくは領域外にあるか否かを判定するクリッピング装置であって、上記頂点の座標と上記多次元領域の判定基準値および当該判定基準値の負の値との比較結果に応じたデータをそれぞれビットデータとしてセットしたクリップコードを生成するクリップコード生成回路と、上記クリップコード生成回路で生成されたクリップコードをシフトインするクリップレジスタと、上記クリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路とを有する。

【 0 0 1 2 】

本発明では、上記頂点の座標は所定の座標系の複数座標軸に対応した値を含み、上記クリップコード生成回路は、各座標軸に対応した複数のクリップコードを生成し、上記クリップレジスタは、少なくとも上記複数のクリップコードを保持する容量を有する。

【 0 0 1 3 】

本発明では、上記クリップコード生成回路には、上記頂点座標の絶対値から上記判定基準値の絶対値を減算した結果の符号データ、上記頂点座標の符号データ、および上記判定基準値の符号データに基づいて上記クリップコードを生成する。

【 0 0 1 4 】

本発明の第 2 の観点は、多面体が複数の頂点を含むプリミティブ単位で描画され、所定の座標系で表現されるプリミティブの各頂点が、描画対象の多次元領域内もしくは領域外にあるか否かを判定するクリッピング装置であって、上記プリミティブの頂点座標と上記多次元領域の判定基準値および当該判定基準値の負の

値との比較結果に応じたデータをそれぞれビットデータとしてセットしたクリップコードをプリミティブの頂点分生成するクリップコード生成回路と、上記クリップコード生成回路で生成されたクリップコードをコントロール信号に応じてシフトインするカレントクリップレジスタと、上記カレントクリップレジスタの出力に対して縦続接続され、コントロール信号に応じて保持データを前段のレジスタが保持するクリップコードで置換可能な、少なくとも上記プリミティブの頂点数より一つ少ない数のクリップレジスタと、クリップコード生成命令を受けると、上記コントロール信号をカレントクリップレジスタに出力して、上記クリップコード生成回路で生成されたクリップコードをシフトインさせ、置換命令を受けると、上記カレントクリップレジスタを含む隣接のクリップレジスタ間でクリップコードを置換させるように上記コントロール信号を対応するクリップレジスタに出力するコントロール回路と、上記カレントクリップレジスタを含むクリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路とを有する。

## 【 0 0 1 5 】

好適には、上記コントロール回路は、プリミティブの種類に応じて頂点処理に伴うクリップコードの置換を行うように上記コントロール信号を対応するクリップレジスタに出力する。

## 【 0 0 1 6 】

また、上記コントロール回路は、置換命令の実行時には、上記プリミティブの頂点分のクリップコードが揃ったことを示す頂点レディフラグを生成する。

## 【 0 0 1 7 】

また、上記コントロール回路は、所定の条件で上記カレントクリップレジスタを含む複数のクリップレジスタのうちの所望のレジスタを選択的に初期化する。

## 【 0 0 1 8 】

本発明によれば、クリップコード生成回路において、頂点の座標と多次元領域の判定基準値および頂点の座標と当該判定基準値の負の値とが比較結果される。クリップコード生成回路では、比較結果に応じたデータがそれぞれビットデータ

としてセットしたクリップコードが生成される。

そして、クリップコード生成回路で生成されたクリップコードがクリップレジスタにシフトインされる。

クリップレジスタにセットされた全ビットデータに対して論理回路において論理演算が行われる。その結果、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグが設定される。

#### 【 0 0 1 9 】

本発明によれば、コントロール回路がクリップコード生成命令を受けると、コントロール信号がカレントクリップレジスタに出力されて、クリップコード生成回路で生成されたクリップコードがシフトインされる。

次に、コントロール回路が置換命令を受けると、カレントクリップレジスタを含む隣接のクリップレジスタ間でクリップコードを置換させるようにコントロール信号を対応するクリップレジスタに出力される。

この際、プリミティブの種類に応じて新しい頂点処理に伴うクリップコードの置換処理が行われる。

そして、プリミティブの頂点分のクリップコードが揃うと、揃ったことを示す頂点レディフラグが生成される。

#### 【 0 0 2 0 】

##### 【発明の実施の形態】

図 2 は、本発明に係る 3 次元コンピュータグラフィックスにおける頂点座標変換システムの基本構成を示すブロック図である。

#### 【 0 0 2 1 】

この頂点座標変換システム 1 は、図 1 に示すように、オブジェクト座標部（O C : Object Coordinate）2、視点座標部（E C : Eye Coordinate）3、クリップ座標部（C C : Clip Coordinate）4、およびウィンドウ座標部（W C : Window Coordinate）5 を有している。

#### 【 0 0 2 2 】

オブジェクト座標部 2 は、全てのプリミティブが定義される 4 次元（x, y, z, w）の座標系を生成する。オブジェクト座標部 2 は、全てのプリミティブの

頂点座標および法線を、たとえば I E E E 単精度浮動小数点または 1 6 ビット符号付固定小数点で指定する。

そして、オブジェクト座標部 2 は、3 次元ワールド座標系に存在するオブジェクトに対してモデルビュー変換処理を行い、プリミティブがライティングされる 4 次元座標を生成して視線座標部 3 に出力する。

オブジェクト座標部 2 は、 $4 \times 4$  のモデルビューマトリクス (M) を使用して、以下のモデルビュー変換を行う。ここでは、オブジェクト座標部 2 における頂点座標を  $(x_o, y_o, z_o, w_o)$ 、視点座標部 3 における頂点座標を  $(x_e, y_e, z_e, w_e)$  とする。

【 0 0 2 3 】

【数 3】

$$\begin{bmatrix} x_e \\ y_e \\ z_e \\ w_e \end{bmatrix} = M \begin{bmatrix} x_o \\ y_o \\ z_o \\ w_o \end{bmatrix}$$

【 0 0 2 4 】

また、オブジェクト座標部 2 は、視点座標部 3 においてライティングを行うことから、オブジェクト座標から視点座標への法線の変換を行う。

ここで、オブジェクト座標部 2 における法線を  $(N_{xo}, N_{yo}, N_{zo})$ 、視点座標部 3 における法線を  $(N_{xe}, N_{ye}, N_{ze})$ 、モデルビューマトリクス ( $4 \times 4$ ) を M、M の左上の  $3 \times 3$  のサブマトリクスを  $M_u$  とすると、オブジェクト座標から視点座標への法線の変換は次のようになる。

【 0 0 2 5 】

【数 4】

$$\begin{bmatrix} N_{xe} \\ N_{ye} \\ N_{ze} \end{bmatrix} = {}^t M_u^{-1} \begin{bmatrix} N_{xo} \\ N_{yo} \\ N_{zo} \end{bmatrix}$$

## 【 0 0 2 6 】

視点座標部 3 は、オブジェクト座標部 2 に定義されたプリミティブの頂点座標および法線が本視点座標系に変換、配置されたライティングおよびフォギング処理を施す。視点は本視点座標系の原点、視線方向は Z 軸方向になる。視点座標部 3 は、全てのプリミティブの頂点座標および法線を、たとえば I E E E 単精度浮動小数点または 1 6 ビット符号付固定小数点で指定する。

視点座標部 3 は、 $4 \times 4$  のプロジェクション (Projection) マトリクス (P) をを使用して投影変換を以下のように行い、その結果をクリップ座標部 4 に出力する。ここでは、クリップ座標部 4 における頂点座標を  $(x_c, y_c, z_c, w_c)$  とする。

## 【 0 0 2 7 】

【数 5】

$$\begin{bmatrix} x_c \\ y_c \\ z_c \\ w_c \end{bmatrix} = P \begin{bmatrix} x_e \\ y_e \\ z_e \\ w_e \end{bmatrix}$$

## 【 0 0 2 8 】

クリップ座標部 4 は、投影変換された 3 次元座標系において、2 次元デバイスに表示するためにビューポート変換処理を行い、変換結果をウィンドウ座標部 5 に出力する。

クリップ座標部 4 は、ビューポート変換の際、2 次元に投影されるオブジェクトが投影面内に存在するかどうかの判定処理、すなわちクリッピング処理を行う。このクリッピング処理については後で詳述する。

クリッピング処理においては、以下の条件が満たされない領域は描画されない。ここで、W は図 1 に示す判定基準値である。

## 【 0 0 2 9 】

【数 6】

$$-W \leq x \leq W$$

$$-W \leq y \leq W$$

$$-W \leq z \leq W$$

【0030】

クリップ座標部4は、ビューポート変換においては、クリッピング処理後、以下のように $(x_c, y_c, z_c)$ を $w_c$ で除算した後、スケーリングとトランスレーションを実行する。ここでは、ウィンドウ座標部5における頂点座標を $(x_w, y_w, z_w)$ とする。

【0031】

【数7】

$$\begin{bmatrix} x_w \\ y_w \\ z_w \end{bmatrix} = \begin{bmatrix} S_x \cdot (x_c/w_c) + T_x \\ S_y \cdot (x_c/w_c) + T_y \\ S_z \cdot (x_c/w_c) + T_z \end{bmatrix}$$

【0032】

ウィンドウ座標部5におけるウィンドウ座標は、実際の描画が行われる座標系で、たとえば左上端点が原点で、右に向かってXが正、下に向かってYが正、手前に向かってZの正の3次元座標系である。

【0033】

以下に、クリップ座標部4におけるクリッピング装置について、図面に関連付けてさらに詳細に説明する。

【0034】

図3は、本発明に係るクリッピング装置の一実施形態を示す回路図である。

【0035】

クリッピング装置400は、図3に示すように、プリミティブレジスタ(PROM)401、入力レジスタ402～404、クリップコード生成回路(CLIPGEN)405、マルチプレクサ(MUX)406～410、各々の6ビットのクリップレジスタ411(A, B, C), 412, 413、コントローラ(CTL)414、論理回路(CLP)415、および出力レジスタ416を有して

いる。

#### 【 0 0 3 6 】

プリミティブレジスタ 4 0 1 は、プリミティブの種類に関する情報、具体的には、トライアングルストリップ (TRIANGLE STRIP)、トライアングル (TRIANGLE)、トライアングルファン (TRIANGLE FAN)、ラインストリップ (LINE STRIP)、ライン (LINE)、またはポイント (POINT) にいずれであるかを示す情報がセットされる。

プリミティブレジスタ 4 0 1 は、セットされた情報をコントローラ 4 1 3 および図示しない変換行列の要素などのデータを格納するためのパラメータファイルに供給する。

#### 【 0 0 3 7 】

入力レジスタ 4 0 2 は、いわゆるジオメトリ演算器において求められた演算結果のうち、クリッピング処理における内外判定に必要な ( $|A| - |B|$  の符号)  $SGN - |A - B|$  がセットされる。

入力レジスタ 4 0 2 は、セットされたデータ ( $|A| - |B|$  の符号)  $SGN - |A - B|$  をクリップコード生成回路 4 0 5 に供給する。

#### 【 0 0 3 8 】

ここで、A は座標値であり、本実施形態では X, Y, Z の座標  $x, y, z$  として与えられる。また、B は判定基準値であり、図 1 の W に相当する。以下、同様である。

#### 【 0 0 3 9 】

入力レジスタ 4 0 3 は、ジオメトリ演算器において求められた演算結果のうち、クリッピング処理における内外判定に必要な (A の符号)  $SGN - A$  がセットされる。

入力レジスタ 4 0 3 は、セットされたデータ (A の符号)  $SGN - A$  をクリップコード生成回路 4 0 5 に供給する。

#### 【 0 0 4 0 】

入力レジスタ 4 0 4 は、ジオメトリ演算器において求められた演算結果のうち、クリッピング処理における内外判定に必要な B の符号  $SGN - B$  がセットされ

る。

入力レジスタ 4 0 4 は、セットされたデータ（B の符号）S G N - B をクリップコード生成回路 4 0 5 に供給する。

#### 【 0 0 4 1 】

ここで、入力レジスタ 4 0 2 ～ 4 0 4 にセットされるデータについてさらに説明する。

#### 【 0 0 4 2 】

上述したワールド座標系におけるオブジェクトのモデリング変換や視界変換および投影変換には、ジオメトリ演算器と呼ばれる一種の浮動小数点積和演算器が必要とされる。たとえば、物体の移動、回転、拡大などの変換には  $4 \times 4$  要素の行列演算が必要であり、この処理を行う役割を担っている。

演算器には加算器も備わっており減算も可能である。加算並びに減算はまず符号を使わずに（つまり絶対値）で  $|A| + |B|$  もしくは  $|A| - |B|$  の演算を行い、その後 A および B の符号から最終的な計算結果を導くようになっている。具体的には、符号ビットを無視して指数を合わせて減算し、その結果、正であれば 1、負であれば 0 となる。

そして、クリッピング処理における所定の領域に対する内外判定は、演算器の機能の一部である減算  $|A| - |B|$  の結果および A と B の符号から判断が可能である。

#### 【 0 0 4 3 】

図 4 は、浮動小数点積和演算器の構成例を示す回路図である。

#### 【 0 0 4 4 】

この演算器 5 0 0 は、図 4 に示すように、レジスタ 5 0 1 ～ 5 1 7、ブロックバッファ 5 1 8、5 1 9、加算器 5 2 0 ～ 5 2 4、部分積生成器（P P G : Partial Product Generator）5 2 5、キャリセイブアダー（C S A : Carry Save Adder）5 2 6 ～ 5 2 9、反転回路 5 3 0、5 3 1、シフタ 5 3 2、リミッタ 5 3 3、クランプ回路 5 3 4、およびマルチプレクサ 5 3 5 ～ 5 4 5 を有している。

この演算器 5 0 0 において、P P G 5 2 5 は、部分積を生成する。この部分積をワラス等で知られるツリー状に構成した C S A 5 2 6 で加算していくことで、

一方の出力にキャリが出力され、他方の出力にサムが出力される。

さらにCSA529で演算を行い、キャリおよびサム出力が加算器520に供給される。そして、加算器520において $|A| - |B|$ が生成される。上述したように、符号ビットを無視して指数を合わせて減算し、その結果、正であれば1、負であれば0となる。

#### 【0045】

クリップコード判定回路405は、入力レジスタ402～404にセットされたデータ（ $|A| - |B|$ の符号） $SGN - |A - B|$ 、データ（Aの符号） $SGN - A$ 、およびデータ（Bの符号） $SGN - B$ に基づいて、 $A > B$ の判定および $A < -B$ の判定を行い、両者の判定結果を論理1または0で示す2ビットのクリップコードCLPCを生成し、マルチプレクサ405に出力する。

クリップコード判定回路405は、2ビットのクリップコードCLPCのうち、下位の0ビットに $A > B$ の判定結果をセットし、上位の1ビットに $A < -B$ の判定結果をセットする。

クリップコード生成回路405は、（ $|A| - |B|$ の符号） $SGN - |A - B|$ 、（Aの符号） $SGN - A$ 、（Bの符号） $SGN - B$ を正の時0、負の時1とすると入力の8通りに対して、 $A > B$ 判定および $A < -B$ 判定は、図5に示すようになる。

#### 【0046】

具体的には、（ $|A| - |B|$ の符号） $SGN - |A - B|$ 、（Aの符号） $SGN - A$ 、（Bの符号） $SGN - B$ が（0, 0, 0）のときクリップコードCLPCは（0, 1）となる。

以下、（0, 0, 1）のときクリップコードCLPCは（0, 1）、（0, 1, 0）のときクリップコードCLPCは（1, 0）、（0, 1, 1）のときクリップコードCLPCは（1, 0）、（1, 0, 0）のときクリップコードCLPCは（0, 0）、（1, 0, 1）のときクリップコードCLPCは（1, 1）、（1, 1, 0）のときクリップコードCLPCは（0, 0）、（1, 1, 1）のときクリップコードCLPCは（1, 1）となる。

#### 【0047】

図 6 は、本実施形態に係るクリップコード生成回路 4 0 5 の具体的な構成例を示す回路図である。

【 0 0 4 8 】

クリップコード生成回路 4 0 5 は、図 6 に示すように、インバータ 4 0 0 1 ～ 4 0 0 3、3 入力 AND ゲート 4 0 0 4 ～ 4 0 1 1、および 4 入力 OR ゲート 4 0 1 2、4 0 1 3 を有している。

【 0 0 4 9 】

インバータ 4 0 0 1 の入力 は データ ( | A | - | B | の符号 ) SGN - | A - B | の入力ラインに接続され、インバータ 4 0 0 2 の入力 は データ ( A の符号 ) SGN - A の入力ラインに接続され、インバータ 4 0 0 3 の入力 は データ ( B の符号 ) SGN - B の入力ラインに接続されている。

AND ゲート 4 0 0 4 の第 1 入力 は インバータ 4 0 0 1 の出力に接続され、第 2 入力 は データ ( A の符号 ) SGN - A の入力ラインに接続され、第 3 入力 は インバータ 4 0 0 3 の出力に接続され、出力が OR ゲート 4 0 1 2 の第 1 入力に接続されている。

AND ゲート 4 0 0 5 の第 1 入力 は インバータ 4 0 0 1 の出力に接続され、第 2 入力 は データ ( A の符号 ) SGN - A の入力ラインに接続され、第 3 入力 は データ ( B の符号 ) SGN - B の入力ラインに接続され、出力が OR ゲート 4 0 1 2 の第 2 入力に接続されている。

AND ゲート 4 0 0 6 の第 1 入力 は データ ( | A | - | B | の符号 ) SGN - | A - B | の入力ラインに接続され、第 2 入力 は インバータ 4 0 0 2 の出力に接続され、第 3 入力 は データ ( B の符号 ) SGN - B の入力ラインに接続され、出力が OR ゲート 4 0 1 2 の第 3 入力に接続されている。

AND ゲート 4 0 0 7 の第 1 入力 は データ ( | A | - | B | の符号 ) SGN - | A - B | の入力ラインに接続され、第 2 入力 は データ ( A の符号 ) SGN - A の入力ラインに接続され、第 3 入力 は データ ( B の符号 ) SGN - B の入力ラインに接続され、出力が OR ゲート 4 0 1 2 の第 4 入力に接続されている。

AND ゲート 4 0 0 8 の第 1 入力 は インバータ 4 0 0 1 の出力に接続され、第 2 入力 は インバータ 4 0 0 2 の出力に接続され、第 3 入力 は インバータ 4 0 0 3

の出力に接続され、出力がORゲート4013の第1入力に接続されている。

ANDゲート4009の第1入力はインバータ4001の出力に接続され、第2入力はインバータ4002の出力に接続され、第3入力はデータ（Bの符号）SGN-Bの入力ラインに接続され、出力がORゲート4013の第2入力に接続されている。

ANDゲート4010の第1入力はデータ（ $|A| - |B|$ の符号）SGN- $|A - B|$ の入力ラインに接続され、第2入力はインバータ4002の出力に接続され、第3入力はデータ（Bの符号）SGN-Bの入力ラインに接続され、出力がORゲート4013の第3入力に接続されている。

ANDゲート4011の第1入力はデータ（ $|A| - |B|$ の符号）SGN- $|A - B|$ の入力ラインに接続され、第2入力はデータ（Aの符号）SGN-Aの入力ラインに接続され、第3入力はデータ（Bの符号）SGN-Bの入力ラインに接続され、出力がORゲート4013の第4入力に接続されている。

そして、ORゲート4012から $A < -B$ の判定結果1または0が出力され、ORゲート4013から $A > B$ の判定結果1または0が出力される。

#### 【0050】

図6の回路は、図5のいわゆる真理値表を実現したものである。

すなわち、（ $|A| - |B|$ の符号）SGN- $|A - B|$ 、（Aの符号）SGN-A、（Bの符号）SGN-Bが（0, 0, 0）のとき、ANDゲート4008の出力のみ1となり、他のANDゲート4004～4007、4009～4011の出力は0となる。その結果、ORゲート4012の出力が0、ORゲート4013の出力が1となり、クリップコードCLPCは（0, 1）となる。

#### 【0051】

（ $|A| - |B|$ の符号）SGN- $|A - B|$ 、（Aの符号）SGN-A、（Bの符号）SGN-Bが（0, 0, 1）のとき、ANDゲート4009の出力のみ1となり、他のANDゲート4004～4008、4010～4011の出力は0となる。その結果、ORゲート4012の出力が0、ORゲート4013の出力が1となり、クリップコードCLPCは（0, 1）となる。

#### 【0052】

( $|A| - |B|$ の符号)  $SGN - |A - B|$ 、(Aの符号)  $SGN - A$ 、(Bの符号)  $SGN - B$ が(0, 1, 0)のとき、ANDゲート4004の出力のみ1となり、他のANDゲート4005～4011の出力は0となる。その結果、ORゲート4012の出力が1、ORゲート4013の出力が0となり、クリップコードCLPCは(1, 0)となる。

## 【0053】

( $|A| - |B|$ の符号)  $SGN - |A - B|$ 、(Aの符号)  $SGN - A$ 、(Bの符号)  $SGN - B$ が(1, 0, 0)のとき、全てのANDゲート4004～4011の出力は0となる。その結果、ORゲート4012の出力が0、ORゲート4013の出力が0となり、クリップコードCLPCは(0, 0)となる。

## 【0054】

( $|A| - |B|$ の符号)  $SGN - |A - B|$ 、(Aの符号)  $SGN - A$ 、(Bの符号)  $SGN - B$ が(1, 0, 1)のとき、ANDゲート4006, 4010の出力が1、他のANDゲート4004, 4005, 4007～4009, 4011の出力は0となる。その結果、ORゲート4012の出力が1、ORゲート4013の出力が1となり、クリップコードCLPCは(1, 1)となる。

## 【0055】

( $|A| - |B|$ の符号)  $SGN - |A - B|$ 、(Aの符号)  $SGN - A$ 、(Bの符号)  $SGN - B$ が(1, 1, 0)のとき、全てのANDゲート4004～4011の出力は0となる。その結果、ORゲート4012の出力が0、ORゲート4013の出力が0となり、クリップコードCLPCは(0, 0)となる。

## 【0056】

( $|A| - |B|$ の符号)  $SGN - |A - B|$ 、(Aの符号)  $SGN - A$ 、(Bの符号)  $SGN - B$ が(1, 1, 1)のとき、ANDゲート4007, 4011の出力が1、他のANDゲート4004～4006, 4008～4010の出力は0となる。その結果、ORゲート4012の出力が1、ORゲート4013の出力が1となり、クリップコードCLPCは(1, 1)となる。

## 【0057】

マルチプレクサ406は、コントローラ414のコントロール信号S414に

応じてクリップコード生成回路 4 0 5 によりクリップコード C L P C または 0 (初期化のためのパラメータ) のいずれかを選択してクリップレジスタ 4 1 1 の下位 2 ビット分のレジスタ 4 1 1 A に出力する。

#### 【 0 0 5 8 】

マルチプレクサ 4 0 7 は、コントローラ 4 1 4 のコントロール信号 S 4 1 4 に応じてクリップレジスタ 4 1 1 A の出力または 0 のいずれかを選択してクリップレジスタ 4 1 1 の中位 2 ビット分のレジスタ 4 1 1 B に出力する。

#### 【 0 0 5 9 】

マルチプレクサ 4 0 8 は、コントローラ 4 1 4 のコントロール信号 S 4 1 4 に応じてクリップレジスタ 4 1 1 B の出力または 0 のいずれかを選択してクリップレジスタ 4 1 1 の上位 2 ビット分のレジスタ 4 1 1 C に出力する。

#### 【 0 0 6 0 】

マルチプレクサ 4 0 9 は、コントローラ 4 1 4 のコントロール信号 S 4 1 4 に応じてクリップレジスタ 4 1 1 (4 1 1 A ~ 4 1 1 C) の出力または 0 のいずれかを選択してクリップレジスタ 4 1 2 に出力する。

#### 【 0 0 6 1 】

マルチプレクサ 4 1 0 は、コントローラ 4 1 4 のコントロール信号 S 4 1 4 に応じてクリップレジスタ 4 1 2 の出力または 0 のいずれかを選択してクリップレジスタ 4 1 3 に出力する。

#### 【 0 0 6 2 】

クリップレジスタ 4 1 1 は、X 軸、Y 軸、Z 軸の各 1 軸当たり 2 ビットの情報であるクリップコード C L P C または初期化のためのパラメータ 0 がセットされる。

クリップレジスタ 4 1 1 は、コントローラ 4 1 4 の制御信号 S 4 1 4 に応じて、図 7 に示すように 2 ビットずつシフトして、図 8 に示すように、3 軸分についてもレジスタに順次送り込むことにより 6 ビットの情報として記憶する。

クリップレジスタ 4 1 1 は、カレントクリップレジスタ (C - C L I P) として機能し、C L I P G E N \_ A, B 命令が実行される際に、 $A < - B$ 、 $A > B$  の判定結果である 2 ビットのクリップコード C L P C をシフトインする。

CLIPGEN命令を3回、具体的には、Aが3軸のX, Y, Zの座標であり、Bが判定基準値Wとして、CLIPGEN\_X, W、CLIPGEN\_Y, W、CLIPGEN\_Z, Wを連続して実行すると、クリップレジスタ411の6ビットの各値は、図8および下記の通りになる。

【0063】

【数8】

bit 5 :  $(X < -W) ? 1 : 0$

bit 4 :  $(X > W) ? 1 : 0$

bit 3 :  $(Y < -W) ? 1 : 0$

bit 2 :  $(Y > W) ? 1 : 0$

bit 1 :  $(Z < -W) ? 1 : 0$

bit 0 :  $(Z > W) ? 1 : 0$

【0064】

すなわち、ビット5に $X < -W$ の判定結果1または0、ビット4に $X > W$ の判定結果1または0、ビット3に $Y < -W$ の判定結果1または0、ビット2に $Y > W$ の判定結果1または0、ビット1に $Z < -W$ の判定結果1または0、ビット0に $Z > W$ の判定結果1または0がシフトインされる。

【0065】

そして、カレントクリップレジスタ411Aの出力がマルチプレクサ407に供給され、カレントクリップレジスタ411Bの出力がマルチプレクサ408に供給される。カレントクリップレジスタ411A～411C、すなわちカレントクリップレジスタ411は、6ビット出力をマルチプレクサ409、論理回路415および後段の処理回路に出力する。

【0066】

そして、3次元コンピュータグラフィックスにおいては、オブジェクトは多角形、具体的には3角形の集合による多面体として表面が描画される。この3角形を基本とする描画単位がプリミティブと呼ばれ、プリミティブは3次元コンピュータグラフィックス処理での基本となっている。

そこで、本実施形態においては、クリップレジスタの容量を1つの3角形分として、3頂点分の容量を確保するために、クリップレジスタ411に加えて6ビットのクリップレジスタ（CLIP1）412と6ビットのクリップレジスタ（CLIP2）413を設け、3頂点分の容量を18ビットとしている。

#### 【0067】

クリップレジスタ（CLIP1）412は、コントローラ414のコントロール信号S414に応じて、マルチプレクサ409を介してクリップレジスタ411の6ビットの内容をシフトインし、シフトインした内容を論理回路415および後段の処理回路に出力する。

#### 【0068】

クリップレジスタ（CLIP2）413は、コントローラ414のコントロール信号S414に応じて、マルチプレクサ410を介してクリップレジスタ412の6ビットの内容をシフトインし、シフトインした内容を論理回路415および後段の処理回路に出力する。

#### 【0069】

論理回路415は、クリップレジスタ411、412、413の18ビット出力の論理和をとり、1ビットのクリップフラグCLPFを生成する。

論理回路415は、クリップレジスタ411、412、413の18ビット出力の出力のうち、いずれかのビットが1であればそれぞれ示すクリップフラグCLPFを生成する。

すなわち、クリッピング装置400においては、基本プリミティブである3角形の処理を連続して行った後にクリップフラグCLPFを参照し3頂点が投影立方体の領域内であるかどうかの判定が可能となる。

本実施形態においては、クリッピング装置400は、クリップフラグCLPFに1が設定されている場合には、領域外であるとして判定し、0が設定されている場合には、領域内であると判定する。

#### 【0070】

コントローラ414は、クリップクリア命令CLPCLRを受けると、コントロール信号S414をマルチプレクサ406～410が初期化パラメータ0を選

択し、図 9 に示すように、各クリップレジスタ 4 1 1, 4 1 2, 4 1 3 の全ビットに 0 がセットされるとようにコントロール信号 S 4 1 4 をクリップレジスタ 4 1 1 ~ 4 1 3 に出力する。

#### 【 0 0 7 1 】

コントローラ 4 1 4 は、クリップコード生成命令 C L I P G E N を受けると、コントロール信号 S 4 1 4 をマルチプレクサ 4 0 6 ~ 4 1 0 がクリップコード生成回路 4 0 5 によるクリップコード C L P C、および前段のクリップレジスタ 4 1 1 A, 4 1 1 B, 4 1 1 C、4 1 1、および 4 1 2 の出力内容を選択し、前段のレジスタの内容がシフトインされるようにコントロール信号 S 4 1 4 をクリップレジスタ 4 1 1 ~ 4 1 3 に出力する。

#### 【 0 0 7 2 】

コントローラ 4 1 4 は、置換命令 R E P L A C E を受けると、プリミティブレジスタ 4 0 1 にセットされたプリミティブの種類に応じて新しい頂点処理に伴うクリップコードの置換を行うように、コントロール信号 S 4 1 4 をマルチプレクサ 4 0 6 ~ 4 1 0 およびクリップレジスタ 4 1 1 ~ 4 1 3 に出力する。

コントローラ 4 1 4 は、置換命令 R E P L A C E の実行時には、3 頂点分のクリップコードが揃ったことを示す（準備が完了したことを示す）頂点レディフラグ V R D Y を生成し、出力レジスタ 4 1 6 にセットする。

#### 【 0 0 7 3 】

以下に、置換処理が必要である理由について説明する。

#### 【 0 0 7 4 】

多面体の描画は、たとえば図 1 0 に示すようにトライアングルストリップと呼ばれる連続三角形のプリミティブで行うことができる。図中の番号は頂点の処理順序である。

頂点ごとに領域内外判定を行うには、①から③までは、すべての点を判定する必要がある、その後は直前の 3 座標の判定を行う必要がある。

たとえば頂点⑥において判定対象となるのは④、⑤、⑥である。

また、図 1 1 に示すように、トライアングルフアンという連続三角形のプリミティブも存在する。

同様の場合、③までは、すべての点を判定する必要がある、その後は開始点および直前の2座標の判定を行う必要がある。たとえば頂点⑥において判定対象となるのは①、⑤、⑥である。

#### 【 0 0 7 5 】

本実施形態に係るコントローラ414は、上記3頂点分の結果を保存するクリップレジスタ411～413に、これらプリミティブごとに、判定に適切な3頂点を保存するように、マルチプレクサ406～410およびクリップレジスタ411～413を制御する。

コントローラ414の制御の下、処理対象のプリミティブをクリップレジスタ411～413に記憶し、頂点を処理する毎に、1頂点分の判定結果を保存する時に常に必要な3頂点分の判定結果を保存する。

#### 【 0 0 7 6 】

このように、置換命令REPLACEが発行されると、プリミティブレジスタ401にセットされたプリミティブの種類に応じて各入れ替え動作が行われる。以下、各プリミティブ毎のクリップレジスタの内容の入れ替え動作について説明する。

#### 【 0 0 7 7 】

プリミティブがトライアングルストリップ(TRIANGLE STRIP)、トライアングル(TRIANGLE)、トライアングルファン(TRIANGLE FAN)の場合、図12(A)～(G)に示すように、最初の2回目までは、各クリップレジスタを6ビットずつシフトして代入する。

置換1回目は、図12(B)、(C)に示すように、クリップレジスタ411の内容Aがクリップレジスタ412にシフトインされ、クリップレジスタ411は全ビット0にリセットされる。

次に、図12(D)に示すように、クリップレジスタ411に内容Bがセットされる。

そして、置換2回目は、図12(E)、(F)に示すように、クリップレジスタ412の内容Aがクリップレジスタ413にシフトインされ、クリップレジスタ411の内容Bがクリップレジスタ412にシフトインされ、クリップレジスタ

タ 4 1 1 は全ビット 0 にリセットされる。

次に、図 1 2 (G) に示すように、クリップレジスタ 4 1 1 に内容 C がセットされる。

【 0 0 7 8 】

3 回目以降の置換命令ではプリミティブの種類により動作が異なる。

【 0 0 7 9 】

プリミティブがトライアングルストリップ (TRIANGLE STRIP) の場合、置換 3 回目以降は、図 1 3 (A), (B) に示すように、クリップレジスタ 4 1 2 の内容 B がクリップレジスタ 4 1 3 にシフトインされ、クリップレジスタ 4 1 1 の内容 C がクリップレジスタ 4 1 2 にシフトインされ、クリップレジスタ 4 1 1 は全ビット 0 にリセットされる。

プリミティブがトライアングルファン (TRIANGLE FAN) の場合、置換 3 回目以降は、図 1 3 (C), (D) に示すように、クリップレジスタ 4 1 3 の内容 A がクリップレジスタ 4 1 3 にシフトインされ、クリップレジスタ 4 1 1 の内容 C がクリップレジスタ 4 1 2 にシフトインされ、クリップレジスタ 4 1 1 は全ビット 0 にリセットされる。

プリミティブがトライアングル (TRIANGLE) の場合、図 1 3 (E) に示すように、置換 3 回目毎に、クリップレジスタ 4 1 1 ~ 4 1 3 は全ビット 0 にリセットされ、初期化状態に戻る。

【 0 0 8 0 】

プリミティブがラインストリップ (LINE STRIP)、ライン (LINE) の場合、図 1 4 (A) ~ (D) に示すように、置換 1 回目では、カレントクリップレジスタ 4 1 1 の内容 A をクリップレジスタ 4 1 2 の 6 ビットシフトインされ、クリップレジスタ 4 1 1 は全ビット 0 にリセットされる。

【 0 0 8 1 】

プリミティブがラインストリップ (LINE STRIP)、ライン (LINE) の場合、2 回目以降の置換命令ではプリミティブの種類により動作が異なる。

【 0 0 8 2 】

プリミティブがラインストリップ (LINE STRIP) の場合、置換 2 回目以上、図 1

5 (A), (B) に示すように、カレントクリップレジスタ 4 1 1 の内容 B がクリップレジスタ 4 1 2 にシフトインされ、クリップレジスタ 4 1 1 は全ビット 0 にリセットされる。

プリミティブがライン(LINE)の場合、図 1 5 (C) に示すように、置換 2 回目毎に、クリップレジスタ 4 1 1 ~ 4 1 3 は全ビット 0 にリセットされ、初期化状態に戻る。

#### 【 0 0 8 3 】

プリミティブがポイント(POINT) の場合、図 1 6 (A), (B) に示すように、カレントクリップレジスタ 4 1 1 は、置換毎に全ビット 0 にリセットされる。

#### 【 0 0 8 4 】

このように構成することにより、クリッピング装置 4 0 0 は、頂点が領域外に出たときに、三角形のどの点が出ているかにより処理を適切に行うことが可能である。

つまり、図 1 7 に示す例の場合、頂点④および⑤にて領域外の場合は領域内の部分については描画を行えるようにする処理を、⑥においては、④⑤⑥とも領域外であるのでまったく描画を行わないといった判断が行うことが可能である。

#### 【 0 0 8 5 】

さらに、本実施形態に係るコントローラ 4 1 4 は、上述したように、プリミティブの種類によりプリミティブ要素が揃っているかどうかを示す（頂点準備が完了したことを示す）1 ビットの頂点レディフラグ V R D Y を生成する。

この頂点レディフラグ V R D Y の生成動作は、置換 R E P L A C E 機能と同期しており、同時に判断が可能である。これにより、さらに効率的に処理が可能となる。

#### 【 0 0 8 6 】

図 1 8 は、本実施形態に係る頂点レディフラグ V R D Y の設定例を示す図である。

図 1 8 の例は、プリミティブレジスタ 4 0 1 にプリミティブ情報がセットされた後、置換命令を 8 回試行した場合である。

図 1 8 中、P S はプリミティブレジスタ 4 0 1 にプリミティブ情報がセットさ

れた後の頂点レディフラグVRDYの内容を示し、Pは置換後の頂点レディフラグVRDYの内容を示している。

【0087】

PSはプリミティブレジスタ401にプリミティブ情報がセットされた後の頂点レディフラグVRDYは、トライアングルストリップ(TRIANGLE STRIP)、トライアングル(TRIANGLE)、トライアングルファン(TRIANGLE FAN)、ラインストリップ(LINE STRIP)、およびライン(LINE)の場合0にリセットされ、ポイント(PPOINT)の場合のみ1にセットされる。

【0088】

また、たとえばプリミティブがトライアングルストリップ(TRIANGLE STRIP)の場合、プリミティブレジスタ401へのプリミティブ情報のセットで頂点レディフラグVRDYはリセットされる。そして、置換命令を2回行くと3頂点データが揃うので、この時点で頂点レディフラグVRDYには1がセットされる。

【0089】

また、本実施形態に係るジオメトリ演算器はマイクロコードベースで実現されている。一般にクリッピング判定および処理は、図2に関連付けて説明したように、ワールド座標系でのオブジェクトの移動を含む配置後から、投影処理の間に行われる。

このため、本実施形態に係るクリッピング装置400は、クリップ判定の機能をコードとしてその間に扱うことが可能である。これらの機能はインストラクションセットに用意してあり、上述したようにクリップコードの生成を「CLIP GEN」、新しい頂点処理に伴うクリップコードの置換およびVRDYフラグの更新を「REPLACE」という命令として用いている。

また、本実施形態に係るクリッピング装置400は、上記の命令により、変化するフラグとして、3頂点分のクリップコードCLPCの論理和を表すCLIPフラグCLPFおよび3頂点分のクリップコードが揃ったことを示す頂点レディフラグVRDYを生成する。

これはマイクロプログラム上で分岐命令の判断基準となる。すなわち、マイクロコードベースで行われる一連の処理において、クリッピング装置400で生成

されるCLIPフラグCLPFおよび頂点レディフラグVRDYは分岐命令の参照用として使用可能である。

このフラグおよび分岐命令により、頂点数のカウントとプリミティブ別に頂点が揃ったかどうかの判断や、クリップコードを保存するコードや、比較判定して分岐するためのサイクルが節約可能である。

【0090】

下記の数9に、本実施形態に係るクリッピング装置400を駆動するマイクロプログラムを示す。

【0091】

【数9】

```

New __vertex:                //新しい頂点
:
    move r0 input             // r0 ← x座標入力
    move r1 input             // r1 ← y座標入力
    move r2 input             // r2 ← z座標入力
    Clipgen r0 r10             // x座標CLIPコード生成
    Clipgen r1 r10             // y座標CLIPコード生成
    Clipgen r2 r10             // z座標CLIPコード生成
    Jumpclp clip_out          // 領域外処理へ
:
    Replace                   // CLIPコード置換&VRDYフラグ生成
    jumpvrdy vertex_rdy       // 頂点準備完了で他の処理へ
    isub    r16 r16 1         // データ数
    jnz new__vertex           // 新しい頂点

clip_out:                    // 領域外処理
:

vertex_rdy :                  // 他の処理

```

## 【 0 0 9 2 】

このマイクロプログラムの概要は、X、Y、Z座標をレジスタ r 0, r 1, r 2 にセットし、クリップコード生成回路 4 0 5 において、X、Y、Z座標に関する 2 ビットずつのクリップコード C L P C を生成する。

クリップコード生成命令 C L I P G E N を受けてコントローラ 4 1 4 のコントロール信号 S 4 1 4 に基づいて生成されたクリップコードがクリップレジスタ 4 1 1 にシフトインされる。

クリップレジスタ 4 1 1 の内容は、論理回路 4 1 3 に供給され、1 ビットでも 1 がセットされていた場合、領域外の処理に移行する。一方、1 がセットされていない場合には、領域内にあるものとして、所定の描画処理を行う。

コントローラ 4 1 4 に置換命令 R E P L A C E が入力されると、プリミティブレジスタ 4 0 1 にセットされたプリミティブの種類に応じて、クリップレジスタ 4 1 1 ~ 4 1 3 の内容の置換処理、すなわちクリップコード置換が行われ、これと並行して頂点レディフラグ V R D Y が生成される。そして、頂点準備完了で他の処理へ移行する。

## 【 0 0 9 3 】

数 9 の処理においては、クリップに関連するステップ数は、1 0 である。

## 【 0 0 9 4 】

下記の数 1 0 に一般的なクリッピング処理に関するマイクロプログラムを示す。

## 【 0 0 9 5 】

## 【数 1 0】

New __vertex :	／／新しい頂点
：	
move r0 input	／／ r0 ← x 座標入力
move r1 input	／／ r1 ← y 座標入力
move r2 input	／／ r2 ← z 座標入力
isub     nodest r0 r10	／／ x 座標 -+ 判定値

callgtz shift_in_1	／／ 0 以下
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入
isub nodest r0 r11	／／ - 判定値 -x 座標
callltz shift_in_1	／／ 0 以上
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入
isub nodest r1 r10	／／ y 座標 -+ 判定値
callgtz shift_in_1	／／ 0 以下
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入
isub nodest r11 r1	／／ - 判定値 -y 座標
callltz shift_in_1	／／ 0 以上
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入
isub nodest r2 r10	／／ z 座標 -+ 判定値
callgtz shift_in_1	／／ 0 以下
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入
isub nodest r11 r2	／／ - 判定値 -z 座標
callltz shift_in_1	／／ 0 以上
lshift r20 1	／／ 左シフト
iand r20 0xfffffffffe	／／ 0 代入

```

isub    nodest r20 0      // 0 か？
jnz     clipout          // 領域外処理へ
:                          // 各頂点処理
replace
iadd    r12 r12 1        // 頂点インクリメント
iadd    r13 r12 3        // 頂点完了？
jump    vertex __rdy     // 頂点完了処理へ
isub    r16 r16 1        // データ個数デクリメント
jnz     new__vertex      // 新頂点へ

shift __in__1 :          // 左シフト
    lshift r20 1         // 1 代入
    ior    r20 0x00000001
    return

clip__out :              // 領域外処理
:

vertex__rdy :            // 他の処理
:

```

【 0 0 9 6 】

この結果は、クリップに関するステップ数は、28となる。

【 0 0 9 7 】

この結果によると、本実施形態によれば、従来の装置に比べて18サイクルの高速化が可能となる。1プリミティブ当りの処理は100サイクル程度であることから、約20%の高速化に相当する。

【 0 0 9 8 】

以上説明したように、本実施形態によれば、三角形プリミティブの頂点座標と多次元領域の判定基準値および当該判定基準値の負の値との比較結果に応じたデータをそれぞれビットデータとしてセットしたクリップコードをプリミティブの

頂点分生成するクリップコード生成回路 4 0 5 と、クリップコード生成回路 4 0 5 で生成されたクリップコードをコントロール信号に応じてシフトインするカレントクリップレジスタ 4 1 1 と、カレントクリップレジスタの出力に対して縦続接続され、コントロール信号に応じてクリップコードを置換可能なクリップレジスタ 4 1 2, 4 1 3 と、クリップコード生成命令を受けると、コントロール信号 S 4 1 4 をカレントクリップレジスタに出力してクリップコードをシフトインさせ、置換命令を受けると、カレントクリップレジスタを含む隣接のクリップレジスタ間でプリミティブの種類に応じてクリップコードを置換させるようにコントロール信号 S 4 1 4 を対応するクリップレジスタに出力するコントロール回路 4 1 4 と、カレントクリップレジスタを含むクリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路 4 1 5 とを設けたので、以下の効果を得ることができる。

本実施形態によれば、処理サイクル数を削減でき、回路の簡単化を図れ、かつ処理の高速化を図れる利点がある。

#### 【 0 0 9 9 】

より具体的には、1 サイクルにて 1 軸分のクリッピング判定を行うことができる。

また、クリッピング判定はワールド座標変換からビューポート変換の間に必要なジオメトリ演算器内の 1 機能として実現でき、元々座標変換に必要であるハードウェアの資源を活用することが可能である。

また、3 サイクルにて X Y Z の 3 次元分の結果を同一個所にまとめることができ、X Y Z いずれかが領域外にあった時にフラグとして参照可能である。

また、ポリゴンを構成する三角形プリミティブの 3 頂点分の結果も同一個所にまとめることができ、3 頂点のいずれかが領域外にあった時にフラグとして参照可能である。

さらに、トライアングルメッシュなどのプリミティブの連続描画において、次の頂点処理になった時に常に現在対象となる頂点群の判定を行うことが可能である。

【 0 1 0 0 】

【発明の効果】

以上説明したように、本発明によれば、処理サイクル数を削減でき、回路の簡単化を図れ、かつ処理の高速化を図れる利点がある。

【図面の簡単な説明】

【図 1】

クリッピング処理における領域内外判定を説明するための図である。

【図 2】

本発明に係る 3 次元コンピュータグラフィックスにおける頂点座標変換システムの基本構成を示すブロック図である。

【図 3】

本実施形態に係るクリッピング装置の一実施形態を示す回路図である。

【図 4】

浮動小数点積和演算器の構成例を示す回路図である。

【図 5】

本実施形態に係るクリップコード生成回路の判定処理を説明するための図である。

【図 6】

本実施形態に係るクリップコード生成回路の具体的な構成例を示す回路図である。

【図 7】

カレントクリップレジスタにクリップコードがシフトインされることを示す図である。

【図 8】

CLIPGEN\_X, W, CLIPGEN\_Y, W, CLIPGEN\_Z, W を連続して実行したときのカレントクリップレジスタの 6 ビットの各値を示す図である。

【図 9】

クリップクリア命令 CLPCLR を実行したときのクリップレジスタの初期化

状態を示す図である。

【図 1 0】

多面体の描画をトライアングルストリップと呼ばれる連続三角形のプリミティブで行う場合の処理を説明するための図である。

【図 1 1】

多面体の描画をトライアングルファンという連続三角形のプリミティブで行う場合の処理を説明するための図である。

【図 1 2】

プリミティブがトライアングルストリップ(TRAIANGLE STRIP)、トライアングル(TRAIANGLE)、トライアングルファン(TRAIANGLE FAN) の場合の、最初の 2 回目までの置換処理について説明するための図である。

【図 1 3】

プリミティブがトライアングルストリップ(TRAIANGLE STRIP)、トライアングル(TRAIANGLE)、トライアングルファン(TRAIANGLE FAN) の場合の、3 回目移行の置換処理について説明するための図である。

【図 1 4】

プリミティブがラインストリップ(LINE STRIP)、ライン(LINE)の場合の 1 回目の置換処理を説明するための図である。

【図 1 5】

プリミティブがラインストリップ(LINE STRIP)、ライン(LINE)の場合の 2 回目以降の置換処理を説明するための図である。

【図 1 6】

プリミティブがポイント(POINT) の場合の置換処理を説明するための図である。

【図 1 7】

頂点が領域外に出たときに、三角形のどの点が出ているかにより処理を適切に行うことが可能であることを説明するための図である。

【図 1 8】

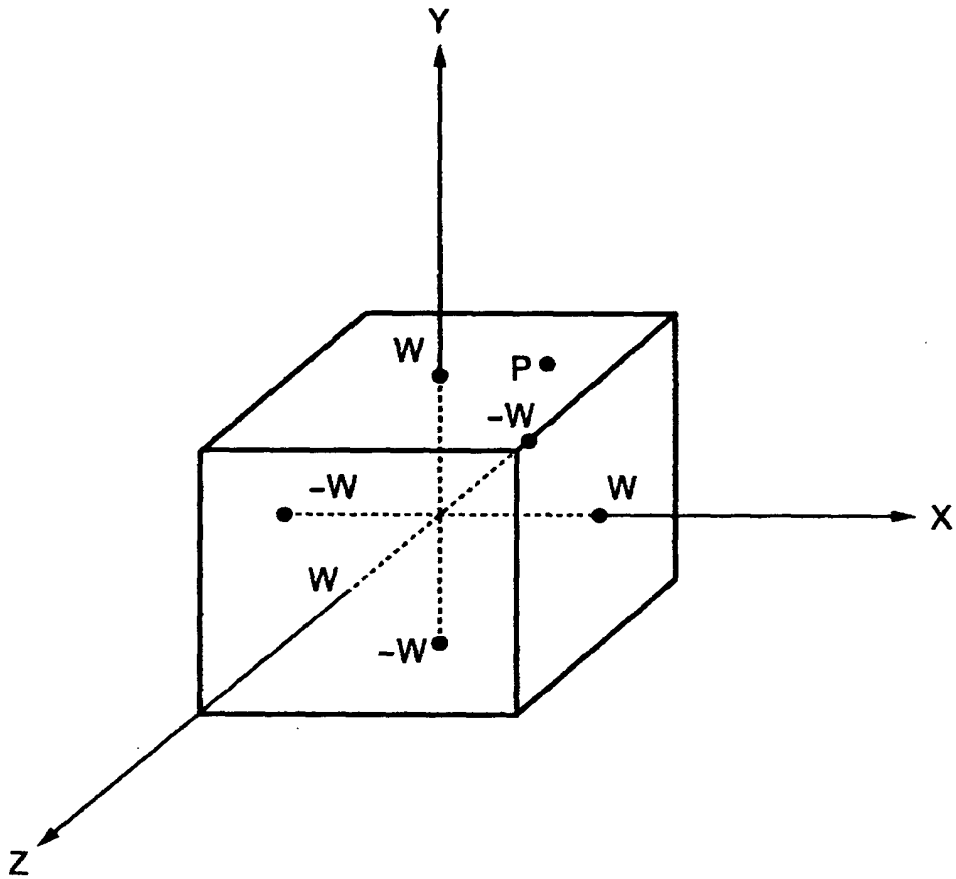
本実施形態に係る頂点レディフラグ V R D Y の設定例を示す図である。

【符号の説明】

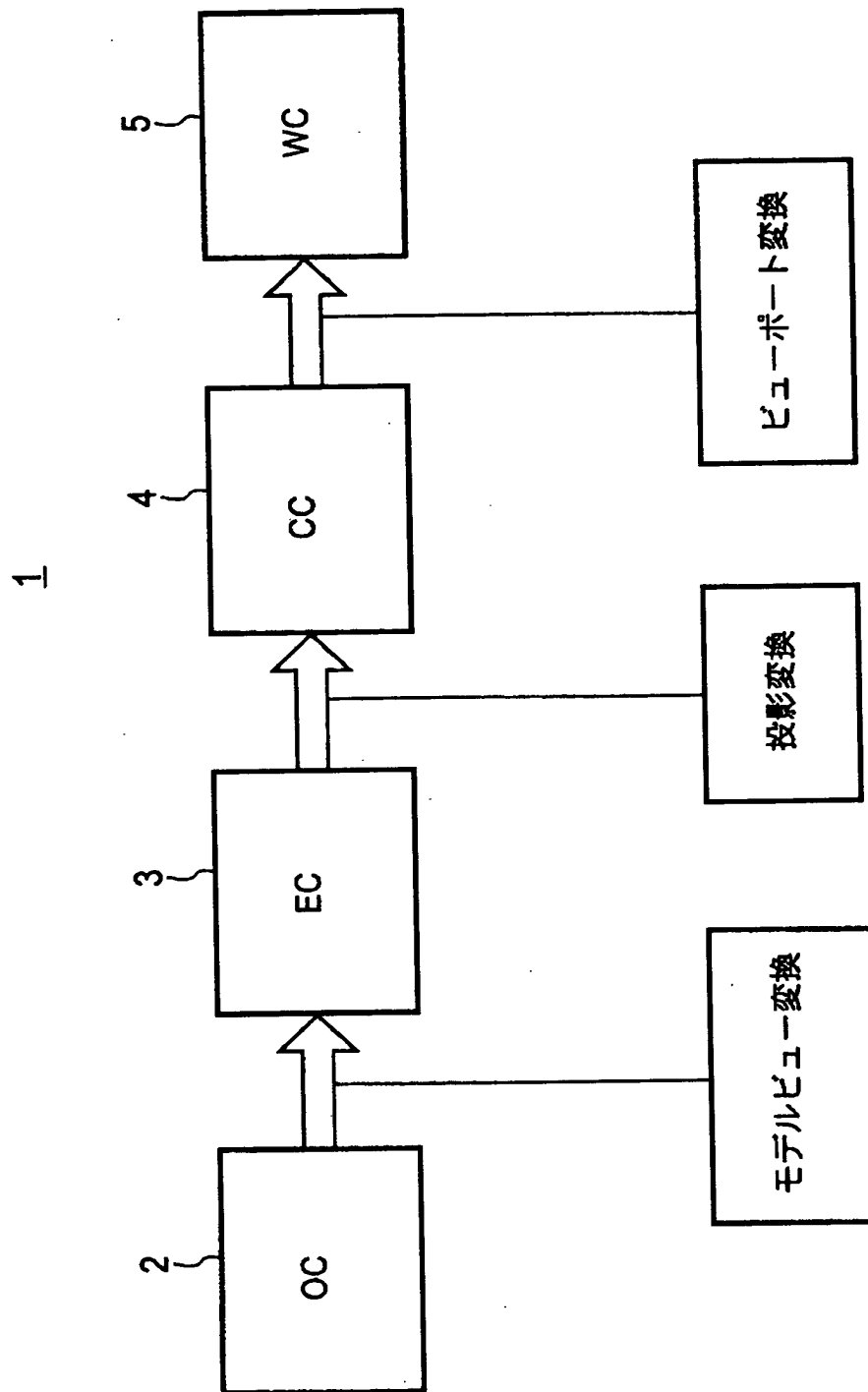
1…頂点座標変換システム、2…オブジェクト座標部（OC）、3…視点座標部（EC）、4…クリップ座標部（CC）、5…ウィンドウ座標部（WC）、400…クリッピング装置、401…プリミティブレジスタ（PROM）、402～404…入力レジスタ、405…クリップコード生成回路（CLIPGEN）、406～410…マルチプレクサ（MUX）、411～413…クリップレジスタ、414…コントローラ（CTL）、415…論理回路（CLP）、416…出力レジスタ、4001～4003…インバータ、4004～4011…3入力ANDゲート、4012，4013…4入力ORゲート。

【書類名】 図面

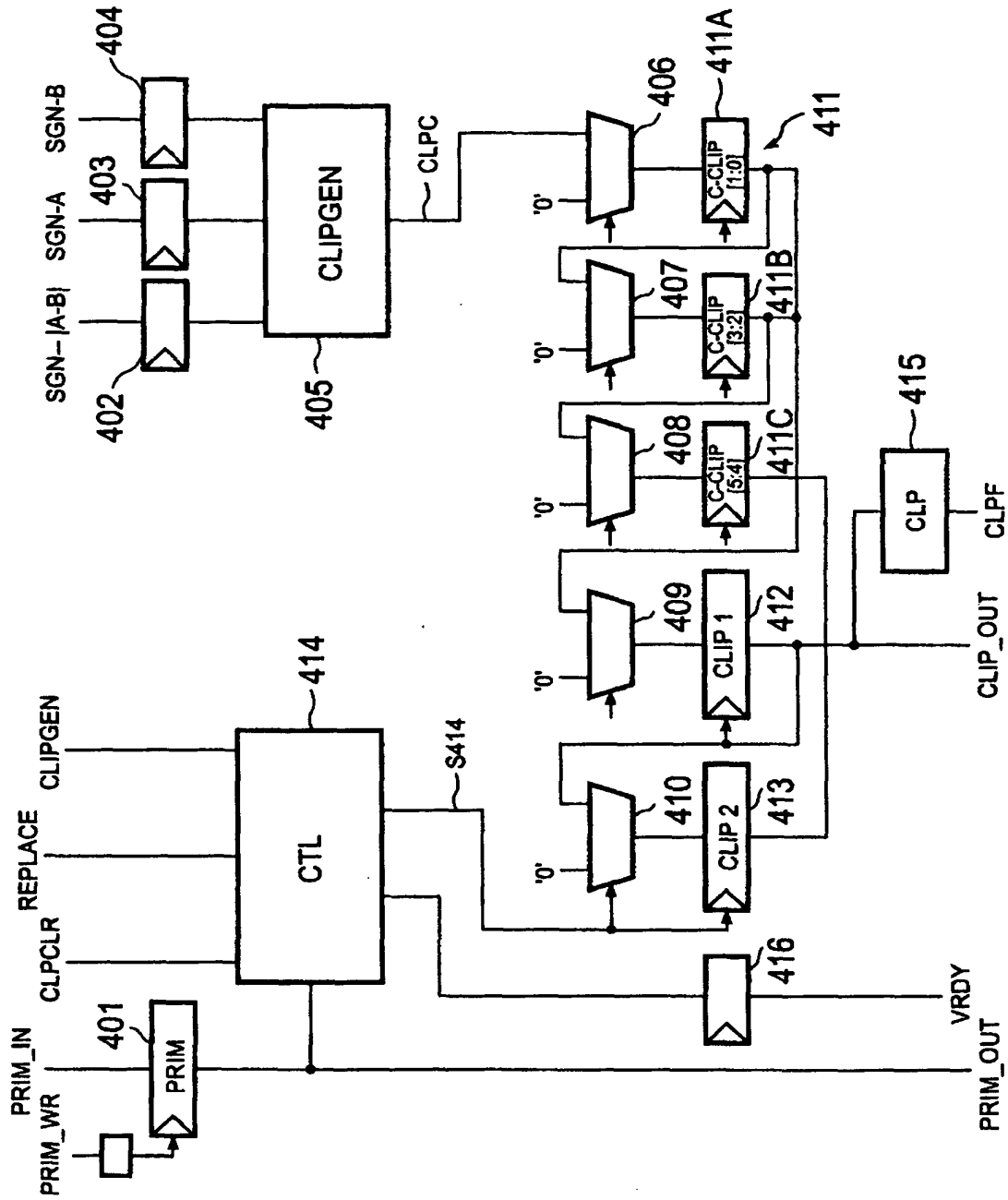
【図 1】



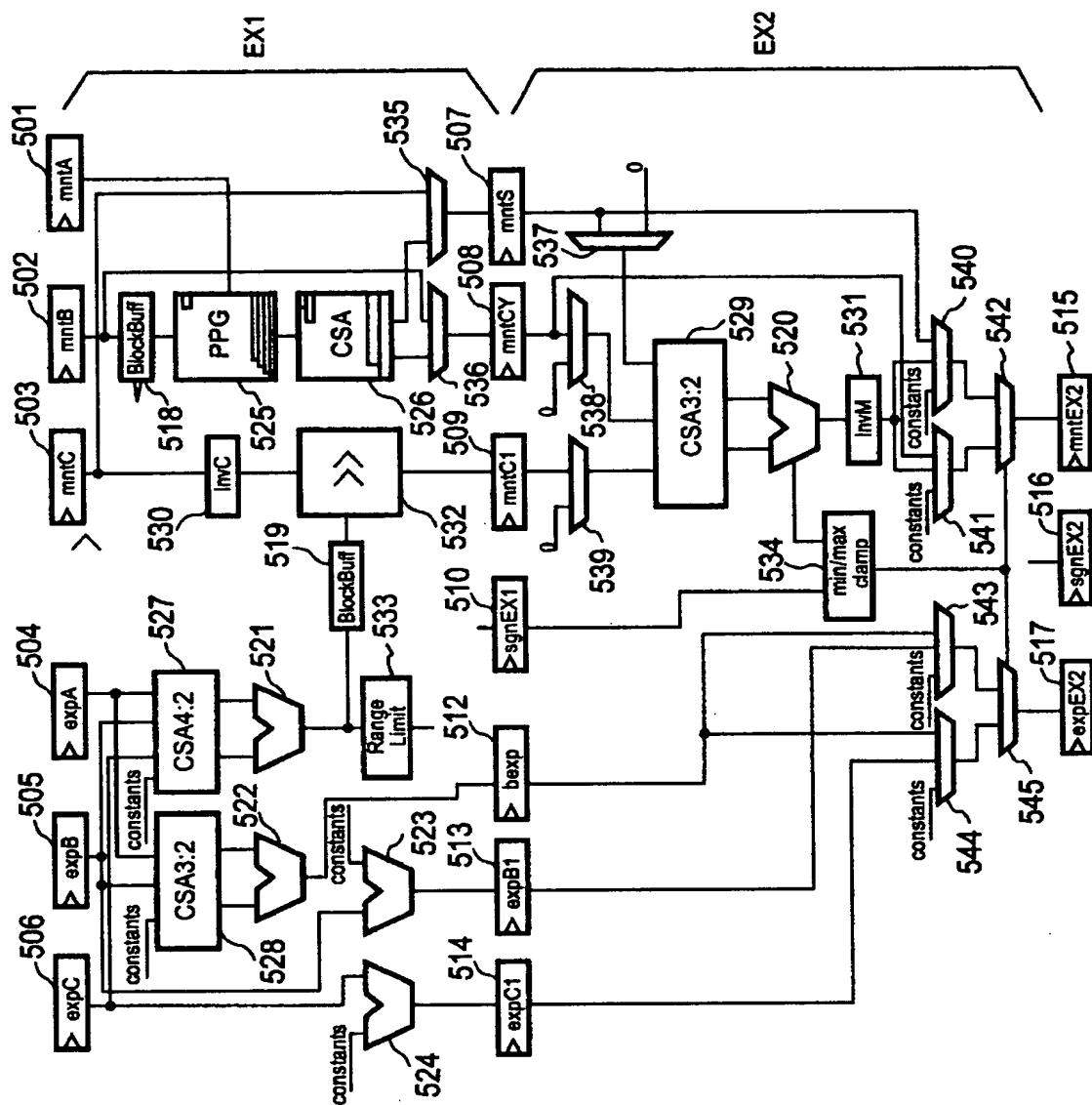
【図 2】



【図 3】



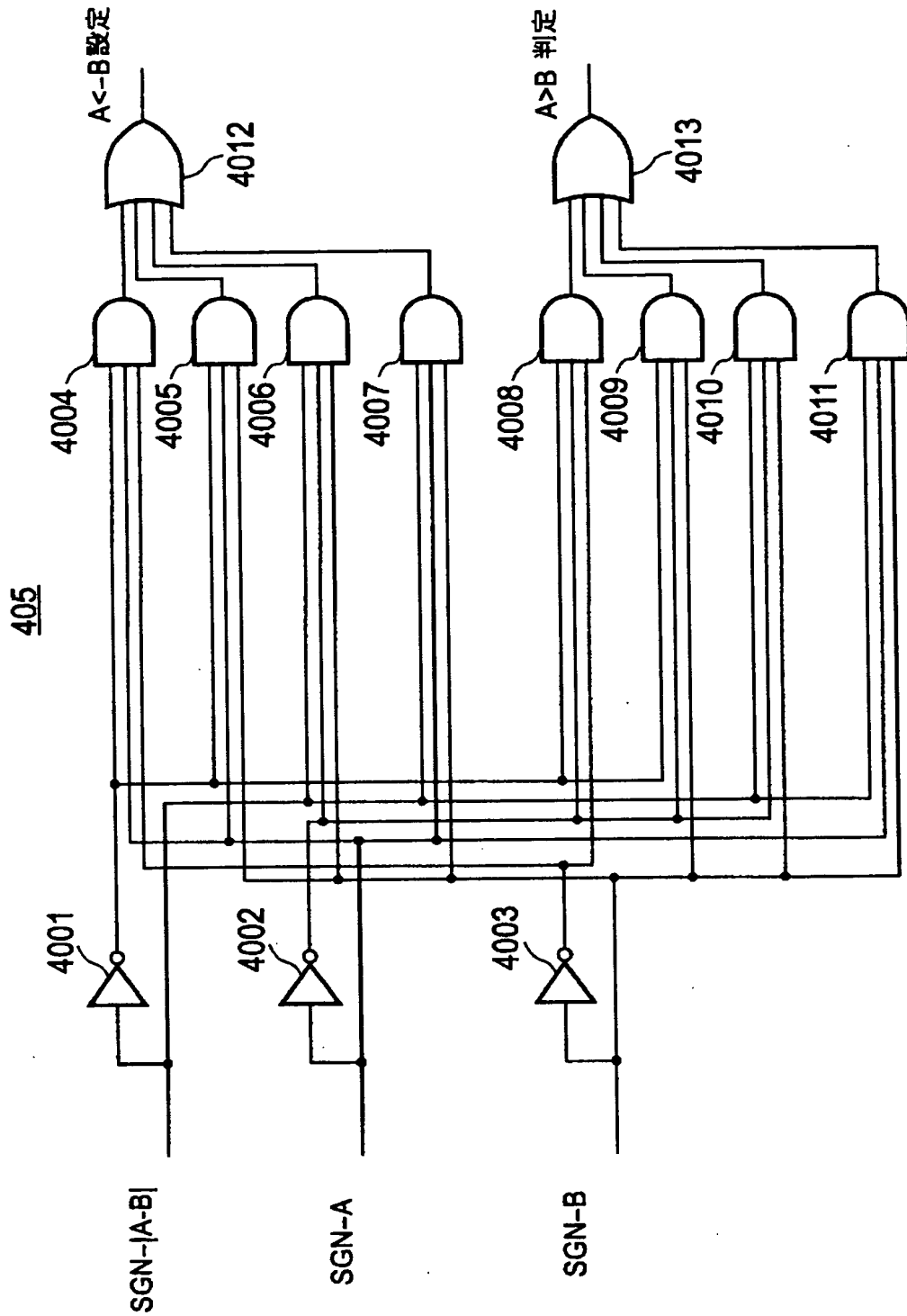
【図 4】



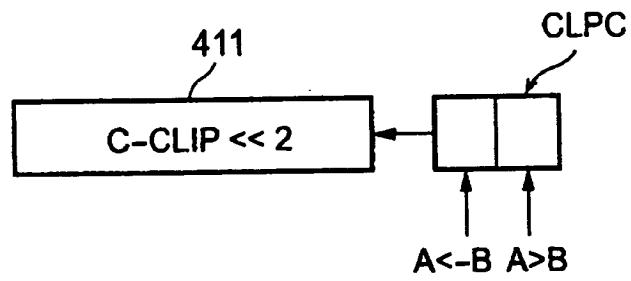
【図 5】

A - B  の符号	A の符号	B の符号	CLPC	
			A<-B 判定	A>B 判定
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	0	0
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

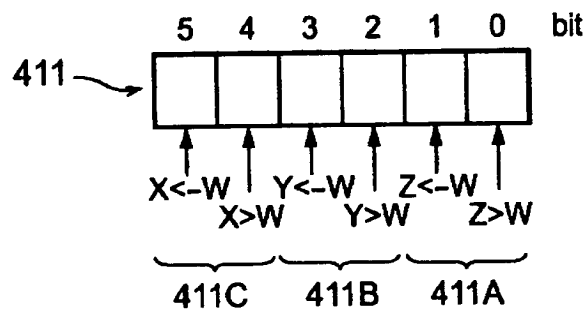
【図 6】



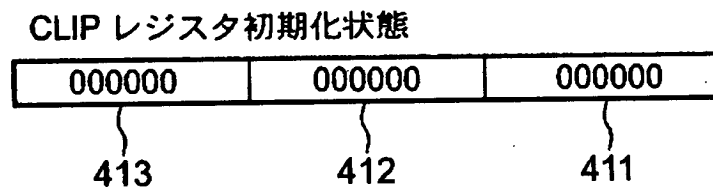
【図 7】



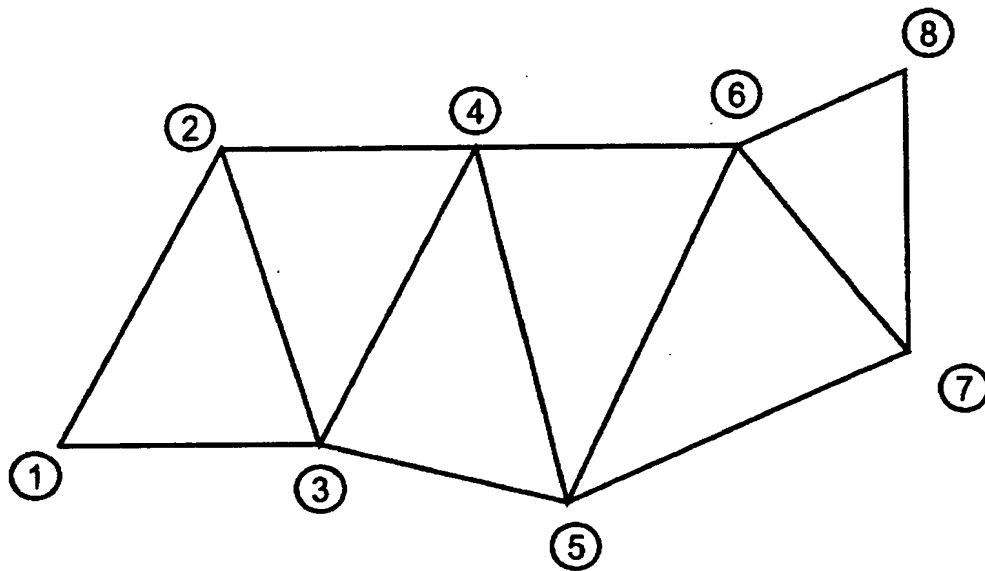
【図 8】



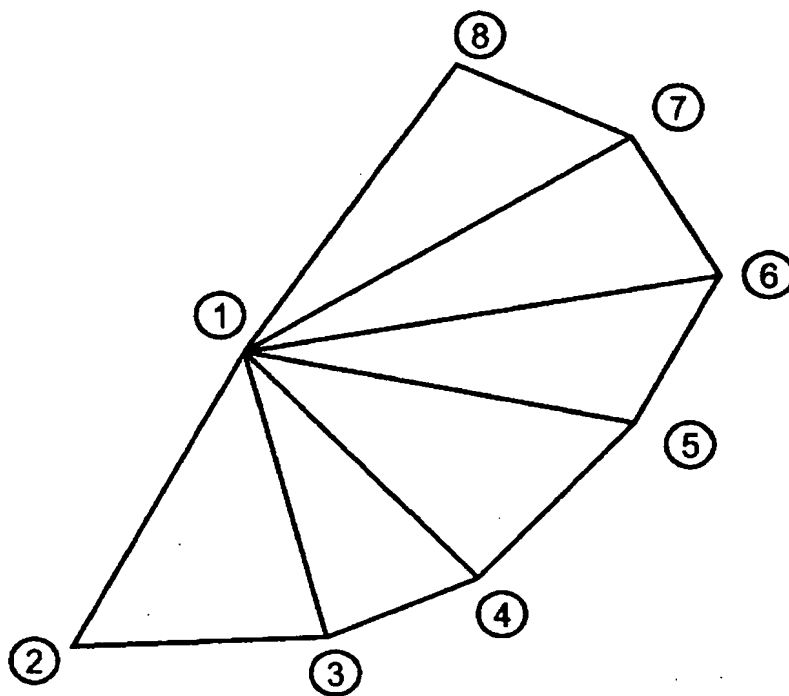
【図 9】



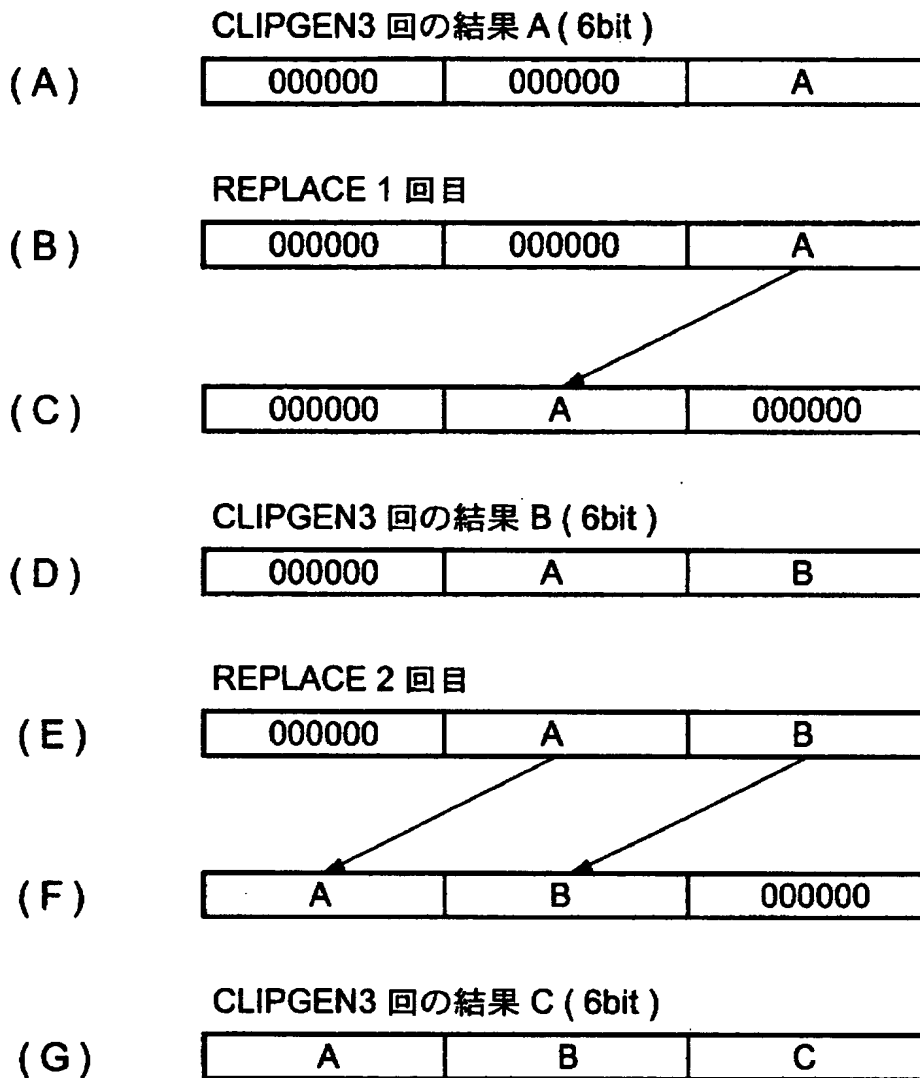
【図 10】



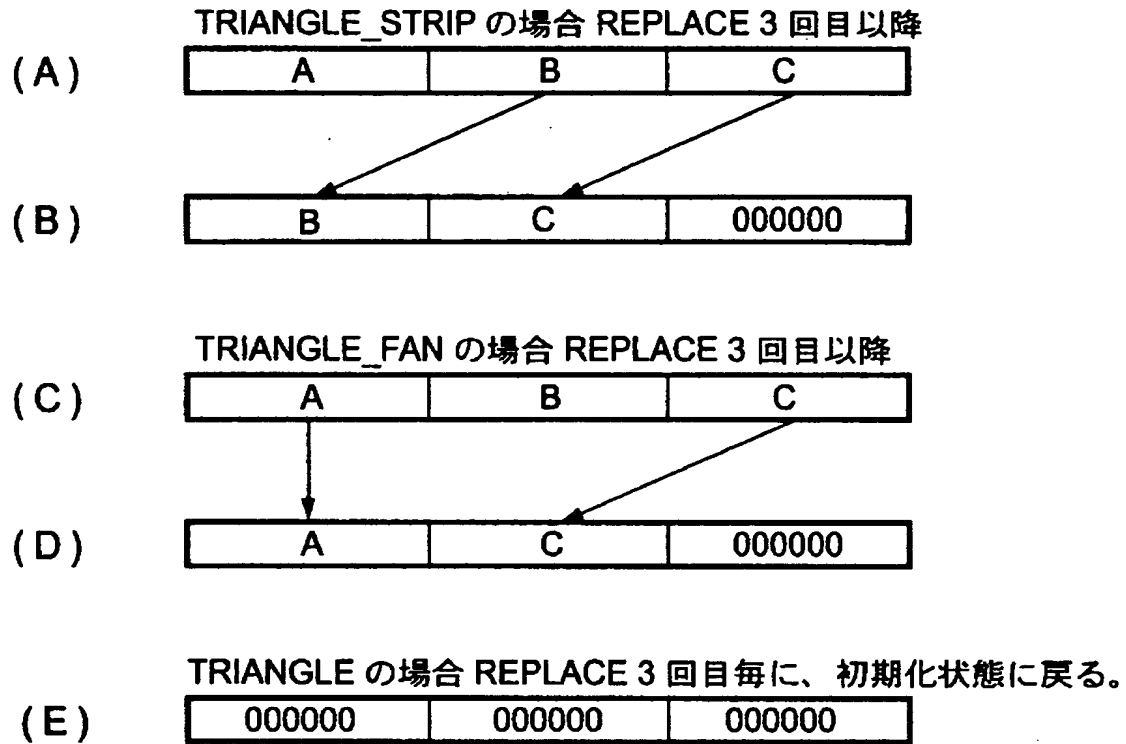
【図 11】



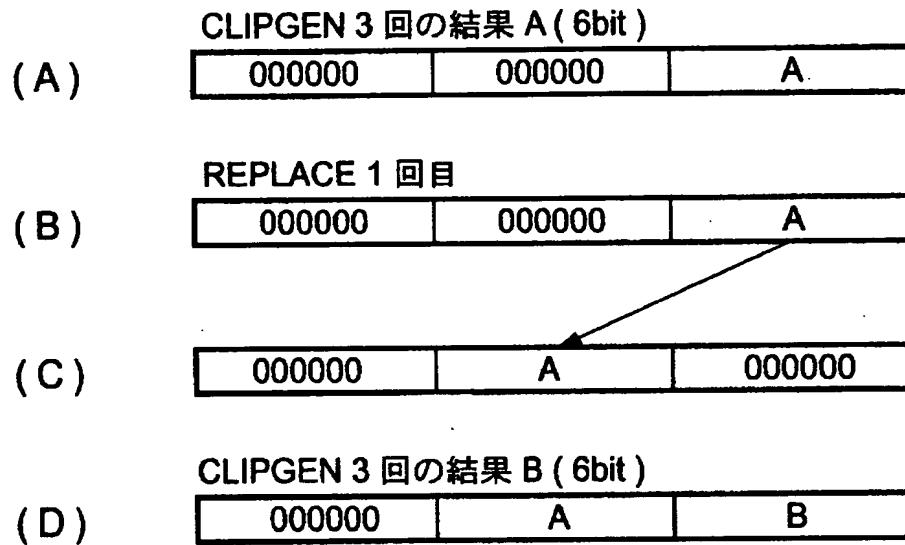
【図 1 2】



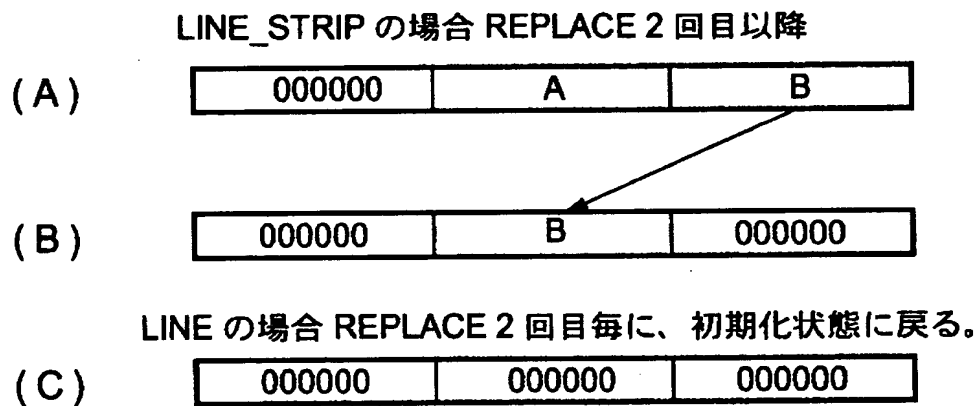
【図 1 3】



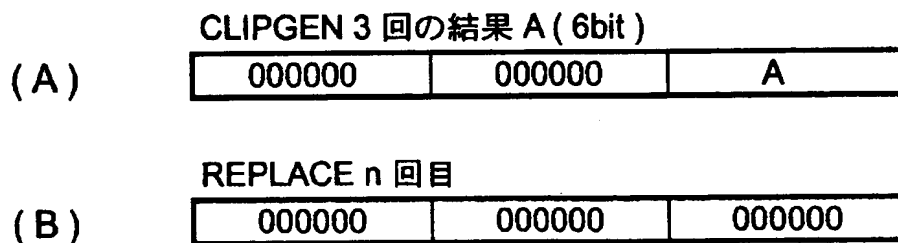
【図 1 4】



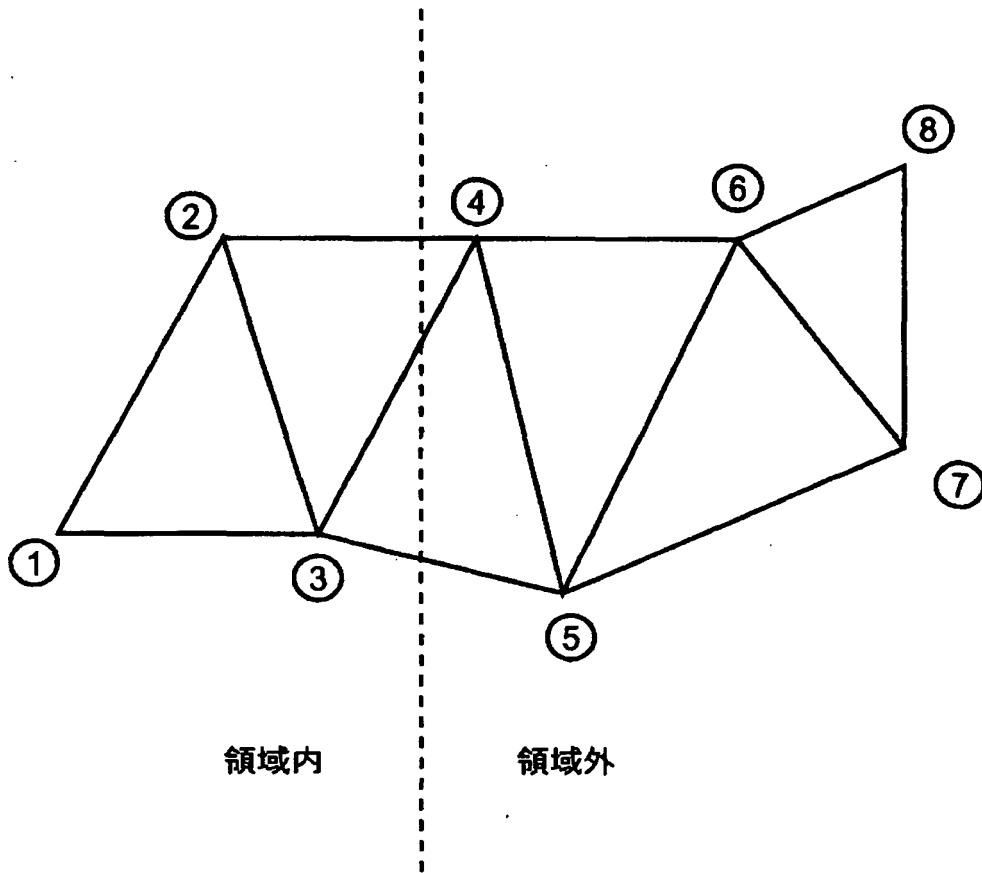
【図 1 5】



【図 1 6】



【図 1 7】



【図 1 8】

		1	2	3	4	5	6	7	8
PRIMITIVE	PS	R	R	R	R	R	R	R	R
TRIANGLE_STRIP	0	0	1	1	1	1	1	1	1
TRIANGLE_FAN	0	0	1	1	1	1	1	1	1
TRIANGLE	0	0	1	0	0	1	0	0	1
LINE_STRIP	0	1	1	1	1	1	1	1	1
LINE	0	1	0	1	0	1	0	1	0
POINT	1	1	1	1	1	1	1	1	1

- ・ PS: PRIMSET 後
- ・ R: REPLACE 後

【書類名】 要約書

【要約】

【課題】 処理サイクル数を削減でき、回路の簡単化を図れ、かつ処理の高速化を図れるクリッピング装置を提供する。

【解決手段】 プリミティブの頂点座標と多次元領域の判定基準値および判定基準値の負の値との比較結果に応じたクリップコードをプリミティブの頂点分生成するクリップコード生成回路 4 0 5 と、クリップコードをシフトインするカレントクリップレジスタ 4 1 1 と、コントロール信号に応じてクリップコードを置換可能なクリップレジスタ 4 1 2, 4 1 3 と、置換命令を受けると、クリップレジスタ間でクリップコードを置換させるようにコントロール信号 S 4 1 4 を出力するコントロール回路 4 1 4 と、クリップレジスタにセットされた全ビットデータに対して論理演算を行い、判定対象の頂点が描画対象の多次元領域内もしくは領域外にあるか否かを示すクリップフラグを設定する論理回路 4 1 5 とを設ける。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日  
[変更理由] 新規登録  
住 所 東京都品川区北品川 6 丁目 7 番 3 5 号  
氏 名 ソニー株式会社